

Capturing and evaluating high speed data streams

Publication number: TW514738 (B)

Publication date: 2002-12-21

Inventor(s): REISS ALAN J [US]

Applicant(s): TERADYNE INC [US]

Classification:

- international: G01R31/28; G01R31/317; G01R31/319; G01R31/3193; G01R31/28; (IPC1-7): G01R31/00

- European: G01R31/317J1; G01R31/3193T

Application number: TW20010119475 20010809

Priority number(s): US20000635334 20000809

Also published as:

WO0212909 (A2)

WO0212909 (A3)

US6694462 (B1)

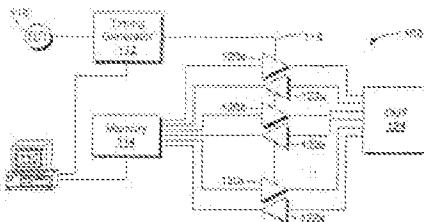
JP2004506204 (T)

EP1307755 (A2)

[more >>](#)

Abstract of TW 514738 (B)

A system and method for capturing and evaluating high-speed serial data streams using conventional component testers includes a high-speed latching comparator coupled to the output of a device under test (DUT). The component tester stimulates the DUT to produce a high-speed serial data stream and strobes the latching comparator at predetermined instants of time relative to the serial data stream. In response, the latching comparator samples the digital state of the serial data stream and holds the sampled state. The component tester reads and stores the held state. The tester samples the serial data stream at multiple locations in this fashion, and takes multiple samples at each location. The tester averages the samples acquired at each location to render a probability function of the serial data stream versus time. The probability function has values that vary between zero and one, corresponding to the average value of the digital readings sampled at each point. From the probability function, significant timing characteristics of the serial data stream can be deduced, for example, jitter, intersymbol interference, and eye closure.



Data supplied from the **esp@cenet** database — Worldwide

公告本

申請日期	90.8.9
案 號	90119475
類 別	GOR 3100

A4

C4

514738

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	獲取及評估高速資料流
	英 文	CAPTURING AND EVALUATING HIGH SPEED DATA STREAMS
二、發明 創作 人	姓 名	(1)亞倫 J.瑞斯 (2)戈登 B.沙克西納
	國 籍	美 國
	住、居所	(1)美國麻州 01778 韋瀾得老康恩路 463 號 (2)美國麻州 02464 紐頓板栗街 995 號
三、申請人	姓 名 (名稱)	泰瑞丹公司
	國 籍	美 國
	住、居所 (事務所)	美國麻州 02118 波士頓哈瑞森大道 321 號
代表人 姓	湯馬士 S.葛里爾克	

裝

訂

線

由本局填寫	承辦人代碼：
	大類：
	I P C 分類：

A6

B6

本案已向：

美國(地區)申請專利，申請日期：2000.8.9. 案號：09/635,334，有 無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

四、中文發明摘要（發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

獲取及評估高速資料流

一種使用傳統元件測試機以捕捉及評估高速串列資料流的系統及方法包含一高速門鎖比較器係被耦合至一測試中之元件(DUT)的輸出。該元件測試機激勵該 DUT 以產生一高速串列資料流，並在相對於該串列資料流的預定時間瞬時閃控該門鎖比較器。作為回應地，該門鎖比較器取樣該串列資料流之數位狀態並且保持該取樣狀態。該元件測試機讀取並儲存該被保持之狀態。該測試機以此方式在多個位置取樣該串列資料流，並在每個位置進行多個取樣。該測試機平均在每個位置獲得的取樣以形成該串列資料流對時間的一機率函數。該機率函數具有在零及一之間變化

英文發明摘要（發明之名稱：CAPTURING AND EVALUATING HIGH SPEED DATA STREAMS）

A system and method for capturing and evaluating high-speed serial data streams using conventional component testers includes a high-speed latching comparator coupled to the output of a device under test (DUT). The component tester stimulates the DUT to produce a high-speed serial data stream and strobes the latching comparator at predetermined instants of time relative to the serial data stream. In response, the latching comparator samples the digital state of the serial data stream and holds the sampled state. The component tester reads and stores the held state. The tester samples the serial data stream at multiple locations in this fashion, and takes multiple samples at each location. The tester averages the samples acquired at each location to render a probability function of the serial data stream versus time. The probability function has values that vary between zero and one, corresponding to the average value of the digital readings sampled at each point. From the probability function, significant timing characteristics of the serial data stream can be deduced, for example, jitter, intersymbol interference, and eye closure.

四、中文發明摘要（發明之名稱： ）

的值，係對應於在每個點被取樣的數位讀取平均值。從該機率函數，該串列資料流之重要的時序特徵可被推論出來，例如，顫動、碼際干擾、以及眼閉。

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

英文發明摘要（發明之名稱： ）

五、發明說明 (/)

本發明係概略地有關於自動測試設備，而且更特別地是有關於測試該高速串列資料流之時序特徵。

本發明之背景

積體電路製造商使用自動測試設備(ATE)來驗證新製造的元件。ATE 使製造商能夠在製程中及早診斷元件瑕疵，因而使得製造商可節省成本。ATE 亦使製造商可將其元件分成不同性能的等級。製造商通常可因較佳性能之晶片而獲得較高之價格，這種精確測試積體電路的能力變成獲利之提升。

自動測試設備(ATE)之一主要目標係快速並精確地測試電子元件。當元件變得更快更複雜時，ATE 必須與這些變化保持同步調地進步。

多個串化器/解串化器收發器通常被稱為“SerDes”元件，其受歡迎程度已隨著通訊及網路工業最近之成長而增加。SerDes 元件將平行位元流轉換成串列位元流，該串列位元流係改變為輸入的平行資料速率之倍數。它們也執行將串列位元流解串列的反向功能，其係經由將它們轉換成平行位元流，該平行位元流係改變為串列資料速率的分數。目前可用的 SerDes 元件其串列資料速率高達 2.5 GB/s(每秒十億位元)，而且 10 GB/s 的元件很快就會出現。

圖 1 係一傳統元件測試機 100 的高度簡化例圖。該元件測試機 100 包含有：一主電腦 110、一時序產生器 112、一記憶體 114、以及一系統時脈 116。該主電腦 110 儲存一測試程式(未顯示)用以控制該元件測試機 100 的資源。響

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (二)

應該系統時脈 116，該時序產生器 112 在由該測試程式所界定之時間的精準瞬時產生時序訊號 118。該時序訊號 118 控制多個驅動器電路，概略如驅動器電路 120a-120x 所示，以及多個偵測器電路，概略如偵測器電路 122a-122x 所示。

該測試程式標明該驅動器電路 120 將被驅動到達的數位狀態之資料樣本。這些資料傳統上被認知為“驅動資料”。該測試程式也標明了來自於該 DUT 響應該驅動資料之期望值的資料樣本，也就是“期望資料”。該測試系統 100 儲存該驅動資料於該記憶體 114，並在精準之時間瞬時依序施加該驅動資料於該驅動器電路 120。該驅動器電路 120 產生電氣訊號以為響應。該電氣訊號係被施加於一 DUT(測試中之元件)124 的輸入端，而且該 DUT 124 產生輸出以為響應該輸入。當該測試系統 100 施加輸入訊號至該 DUT 124，其同時致動該偵測器電路 122 以捕捉來自於該 DUT 的輸出訊號。被該偵測器電路所捕捉到之訊號的資料樣本係被儲存於該記憶體 114。為了決定一元件合格或不合格，該測試程式將來自該偵測器電路 122 的被捕捉資料與該期望資料比較。如果該實際資料與該期望資料相符，該測試程式大致係通過。否則，該測試程式大體而言並未通過。

最新發展的元件測試機可產生速度高至數百個百萬赫茲的數位波形。這仍低於用以直接測試目前可用之最快速的 SerDes 元件在全速時所需的 10 GB/s。

先前以元件測試機來量測高速串列資料流的嘗試係使

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 ()

用稱為 TJD's(時間顫動數位化器)的特殊儀器來進行。TJD's 偵測輸入之事件-例如，電氣訊號改變狀態-並使用時間戳記值指示被偵測之事件所發生的時間。用於測試串列資料流時，一 TJD 捕捉該串列資料流。然後一測試機讀回事件及對應之時間戳記以精確報告內含於該串列資料流中之邊緣的時序。因為它們係複雜，多功能之儀器，TJD's 也較昂貴。它們也傾向於運作於低於測試最快之 SerDes 元件所需的速度。

本發明之概要

考慮前述之背景，量測高速串列資料流之時序特徵係本發明之一項目標。

本發明更進一步的一項目標為與傳統自動測試設備能輕易地整合。

為了獲得上述之目標以及其他目標及優點，一種傳統測試系統係被設置有一閂鎖比較器，以利該測試中之元件(DUT)之測試。該閂鎖比較器有一閂鎖致能輸入，當致動時，該致能輸入導致該閂鎖比較器保持於其輸出在致動瞬間其輸入之二進位狀態。該測試機中之驅動器電路係被耦合至該 DUT 之輸入，而且該 DUT 之輸出係被耦合至該閂鎖比較器之輸入。在一測試程式之控制下，該測試機施加一測試樣式至該 DUT 之輸入。該 DUT 接著產生一輸出訊號。在相對於該 DUT 輸出訊號的一精確的受控時間瞬間，該測試機致動該閂鎖致能輸入並取樣該閂鎖比較器之輸出。該測試機重複施加該測試樣式以及致動該閂鎖致能輸入，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

以在相對於該 DUT 輸出訊號的受控時間瞬間獲得多個該 DUT 輸出訊號的取樣。

然後致動該門鎖致能輸入的時序被變換至相對於該 DUT 輸出訊號的一不同位置，而且在該新位置多個該 DUT 輸出訊號的取樣被取得。此取樣該 DUT 輸出訊號以及變換致動該門鎖致能輸入之時序的過程一直被重複到該 DUT 輸出訊號之所有想要位置的多個取樣被收集到為止。

使用該被儲存的取樣，該測試機計算相對於該 DUT 輸出訊號的每一位置所獲得之取樣的一獨立平均值(或機率)。然後該平均值被順序排列為一時間函數，而且該結果被分析。

本發明之額外的目標、優點、以及新特徵從隨後的描述及附圖來考量將更為清楚。

附圖之簡略說明

參考附圖可以更清楚地了解本發明，其中本發明之特質及習知技藝係被圖解說明如下：

圖 1 係一根據習知技藝之傳統元件測試機之數位部分的簡化方塊圖。

圖 2 係一根據本發明用以特徵化串列資料流之一改裝之測試系統的簡化方塊圖。

圖 3 為一流程圖係說明一種方法，經由此方法該根據本發明改裝之測試系統可被使用於特徵化一串列資料流。

圖 4a 為一訊號之時序圖係被圖 2 之改裝之測試系統於該測試系統在一向量期間，用以產生及評估一串列資料流

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (K)

。

圖 4b 係圖 4a 之串列資料流之一部分的分解視圖，係顯示該串列資料流被該圖 2 之改裝之測試系統取樣的時間瞬時。

圖 4c 係顯示於圖 4b 之該串列資料流之部分的一機率函數；以及

圖 5 為一流程圖係說明一種方法用以程式化一測試機以產生用於測試根據本發明之串列資料流的波形。

〔元件符號說明〕

100	傳統元件測試機
110	主電腦
112	時序產生器
114	記憶體
116	時脈
118	時序訊號
120a-120x	驅動器
122	偵測器
122a-122x	偵測器
124	測試中元件
200	本發明之測試系統
210	門鎖比較器
210a	門鎖部分
210b	比較器部分
214a-2141	記憶體節段

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (6)

216 記憶體節段

218 差動緩衝器

較佳實施例之說明

拓樸

圖 2 係根據本發明所建構的一測試系統 200 之一簡化局部圖解說明，係用以測試一 DUT 124。如圖 2 所示，該測試系統 200 包含有：一記憶體 114、一時序產生器 112、多個驅動器電路 120a-1201、以及一偵測器電路 122。該時序產生器 112 產生時序訊號 118 控制該驅動器電路及該偵測器電路之時序。該記憶體 114 係被次分割為多個節段，各分配給一特定的驅動器或偵測器電路。例如，記憶體節段 214a-2141 分別儲存用於該驅動器電路 120a-1201 的驅動資料。該記憶體節段 216 儲存對應於被該偵測器電路 122 所捕捉之數位訊號的響應資料。

該根據本發明的測試系統 200 也包含有一門鎖比較器 210 係包含一比較器部分 210a 及一門鎖部分 210b。該比較器部分 210a 之輸出係被耦合至該門鎖部分 210b 之輸入，而該門鎖部分 210b 之輸出係被耦合至該偵測器電路 122，因此允許其被該測試系統 200 加以取樣。該門鎖比較器 210 具有一門鎖致能(LE)輸入，係經由一差動緩衝器 218 耦合至該驅動器電路 1201 的輸出。當該訊號在該 LE 輸入(換言之，該“LE 訊號”)被致動時，該門鎖比較器 210 保持於其輸出而不管其輸入出現何種數位狀態。儘管該門鎖比較器之輸入有所改變，但只要該 LE 訊號維持動作，該門鎖比

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 ()

較器 210 之輸出即保持不變，直到該 LE 訊號再次被致動。

當大寫字母 LE 訊號不動作時，該門鎖部分 210b 係通透的，而該門鎖比較器對應於其輸入之高低準位分別於其輸出產生高低準位。

為了測試 SerDes 元件，該 SerDes DUT 具有：多個平行輸入端點、一個時脈端點、以及一個串列輸出端點。該測試機 200 中之驅動器電路 120a-120j 提供數位輸入訊號至該 DUT 124 之平行輸入端點。驅動器電路 120k 提供一時脈訊號至該時脈端點。對應於這些輸入，該 SerDes 元件產生一串列輸出訊號係具有一資料速率等於該時脈輸入訊號之頻率的 N 倍，其中 N 係該 DUT 124 之平行輸入訊號的數目。例如，若該 SerDes 元件具有 10 個平行輸入訊號-如圖 2 所示-以及該時脈頻率係 250 MHz，則該串列輸出訊號將具有一 2.5 GHz 的資料率。

為了適當地量測該由 DUT 124 所產生的 2.5 GHz 訊號，該比較器部分 210a 必須被規格化為能夠處理超過 2.5 GHz 之頻率。相似地，該門鎖部分 210b 必須能夠迅速響應該 LE 訊號而沒有實質之顫動。一種結合了一比較器及門鎖之功能並具有所需之效能的合適元件係位於科羅拉多洲之科羅拉多泉市之 Signal Processing Technologies 公司所生產的 SPT 9689 門鎖比較器。該 SPT 9689 係一差動元件，在其輸入端接收一差動訊號並於其輸出端產生一差動訊號。該 SPT 9689 也於其 LE 輸入處接收一差動訊號。

如該 SPT 9689 的鎖門比較器已在不同的文章中被用於

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 ()

習知技藝以測試高速數位訊號。這些元件已被用作“邊緣發現器”。如同吾人所知，邊緣發現器判定一數位訊號在一特定時間瞬時是在一高或低的狀態。根據此項技術，該門鎖比較器之輸入端接收一測試訊號，而且該測試訊號係周期性地重複。該測試系統在相對於其輸入訊號的一精準的受控時間瞬時經由致動其 LE 輸入閃控該門鎖比較器。稍後，該測試機讀取該門鎖比較器之固定輸出以判定輸出是高或低。該測試機再次閃控該 LE 訊號，但係在相對於該輸入訊號的一不同時間瞬時，並且再次讀取該門鎖比較器的狀態。若該輸出的兩次讀取值不同，則可確定在第一次與二次的閃控間隔中該測試訊號有一邊緣發生。然後可以額外的量測來確定該邊緣的精確位置。

操作

圖 3 為一流程圖係說明一種用以產生及評估根據本發明之串列資料流的程序。廣義來說，該圖 3 之程序包含有：準備用於該 SerDes 元件之測試樣式的步驟(步驟 310-316)，一施加該準備好之測試樣式的步驟(步驟 318)，以及分析來自該測試中之裝置所產生之訊號的步驟(步驟 320-322)。

在步驟 310，測試工程師準備用以施加激勵至該 SerDes 元件以及用以在一個或更多個時間位置取樣該產生之串列資料流的測試向量。概略來說，此步驟包含準備用於該 SerDes 元件之資料輸入，用於該時脈輸入，以及用於該 LE 輸入的測試樣式。此步驟亦包含準備用於使用一偵測器(例如偵測器 122)以捕捉該門鎖比較器 210 之輸出的測

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (9)

試樣式。

在步驟 312，於步驟 310 所產生的測試向量係被複製以對目前之取樣位置加以多次取樣。例如，在該較佳實施例中，測試向量係被準備來對該串列資料流之每個位置做 128 次之取樣。然後該複製之測試向量被附加至該步驟 310 之原始測試向量之後而產生一向量記錄，用以在該 LE 訊號每個目前被界定的位置獲得多個取樣。

在步驟 316，該 LE 訊號以及該偵測器閃控之時序係被改變成在一與步驟 310 所界定之時間位置不同的位置來取樣該串列資料流。新測試向量係被準備以反應該 LE 及該偵測器閃控訊號之修改過之時序(步驟 310)。然後該新測試向量係被複製以在該新取樣一或多個位置獲得多個取樣。雖然用於該 LE 訊號以及該偵測器閃控之測試樣式的時序每次經由步驟 314 加以變化，但用於該 SerDes 元件之資料以及時脈的樣式保持不變。因此，用於該 LE 訊號以及該偵測器閃控之樣式有效地“走過”該固定的，重複的 SerDes 輸入。

該準備測試向量、複製測試向量、以及修改測試向量之時序的過程係被重複直到用於該串列資料流之全部想要的部分的測試向量已經被產生為止(步驟 314)。

該測試向量係在步驟 318 被施加至該 DUT。當每一測試向量被施加時，該測試機讀回偵測器值，此值係指示該門鎖比較器隨著每一個 LE 訊號發出之後的狀態。然後該測試機計算該串列資料流每一個位置所獲得的偵測器值之

五、發明說明 (10)

一平均值(步驟 320)。每一平均值表示該串列資料流在各別的被取樣位置具有邏輯準位“1”的機率。例如，若在該串列資料流某一特別位置做了 128 個取樣，它們有一半是邏輯準位“1”以及一半是邏輯準位“0”，則該串列資料流在該位置的機率將是該平均值，或 0.5。

在步驟 322，該串列資料流之時序特徵係由步驟 320 所導得之機率函數加以決定。該步驟係在以下被更詳細地描述。

不足取樣/決定機率

圖 2 之測試系統 200 特徵化一來自於一 SerDes DUT 的串列資料流係經由不足取樣該串列資料流並決定該串列資料流在每一個被不足取樣位置的機率(或平均)而達成。該 DUT 依該量得之機率可被決定為合格或不合格。

圖 4a-4b 說明一根據本發明的程序係用以不足取樣一串列資料流。在圖 4a 中，該測試機在一測試向量之期間的時序動作係被顯示。波形 410 說明該“T0”訊號，該訊號界定一測試向量之開始及結束。特別地，該測試向量開始於該 T0 之第一個脈波的升緣而且結束於該 T0 之第二個脈波的升緣。該測試機施加資料於該 SerDes 元件之資料輸入端於該測試向量 410 被顯示於波形 412 之間隔的期間。該測試機運作於某一模式係能夠在每一向量周期提供 4 組不同的資料字組。為了測試一 10 位元 SerDes 元件，該測試機在每一測試向量期間於由該波形 412 之脈波所標定的瞬間產生 4 組 10 位元資料字組。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (II)

波形 414 說明該測試機提供作為該 SerDes 元件之輸入的時脈訊號。如圖所示，該時脈訊號以該 T0 的兩倍速率來變化。該 SerDes 元件係被建構能反應該時脈訊號之升緣及降緣。因此，該 SerDes 元件每一測試向量係被時脈化 (clocked)4 次，每次該 SerDes 元件之資料輸入被改變時即被時脈化 1 次。

由於該 SerDes 元件之運作，該來自 SerDes 元件的串列輸出具有一位元率等於 10 倍於該資料輸入訊號 412 之字組率。因為該資料輸入訊號之字組率以 4 倍於該 T0 速率改變，所以該來自 SerDes 元件的串列輸出訊號以 40 倍於該 T0 速率改變。

波形 416 說明該串列輸出訊號的一部分，該訊號係在訊號 410 所界定的測試向量期間由該 SerDes 元件所產生。如顯示，該串列輸出訊號為一差動訊號係以一 10 倍於該資料訊號 412 之變化率的速率改變。

有一點應該了解的是圖 4a 之全部為一分解視圖係只顯示許多測試向量中的某一個。特別地，該 SerDes 規格界定一單位測試樣式(“UTP”)係具有一預先決定的多個 1 及 0 的數列以及預先決定的 2280 位元的長度。該測試系統 200 係被較佳地程式化以複製該 UTP。因為對於該圖 4a 的每一測試向量該 UTP 包含有 40 位元(4 個平行輸入字組乘以 10)，因此需要 57 個測試向量以產生整個 UTP(2280 位元除以每向量 40 位元)。因此，57 個測試向量被提供給每一組通過 (pass) 穿越該 UTP。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

為了測試該 SerDes 元件，構成該 UTP 的 57 個測試向量係被重複而且該 UTP 係被重複地產生。當該 UTP 被產生時，該門鎖比較器 210 係被致動以取樣 UTP 於一預定之時間瞬時。波形 414 說明該門鎖比較器 210 在門鎖致能輸入時的 LE 訊號。如顯示，每一測試向量期間該測試機重複該 LE 訊號兩次，或者每一 UTP 重複 114 次(57 個向量，每個向量兩次)。每一組通過穿越該 57 個測試向量組成的 UTP 之後，該 LE 訊號之時序位置係被增量，以致於該門鎖比較器 210 被用以取樣該 UTP 之一不同的部分。在該較佳實施例中，要獲得最好的可能時序解析度，該 LE 訊號在每一組連續的通行穿越該 UTP 時係被增量該測試機之時序系統的一 LSB。在位於麻州波士頓市的 Teradyne 公司所製造 CatalystTM測試系統中，該時序系統之一 LSB 等於 1 ns 除以 1024，係大約等於 9.76 ps。因此，在每一組連續的通行穿越該 UTP 之際，該 LE 訊號的位置增量 9.76 ps。取樣該 UTP 及增量該 LE 訊號之位置的過程係被重複直到該 UTP 整個想要的部分已被取樣為止。

波形 420 表示該資料捕捉訊號(CAP)，該訊號界定了時間瞬時，此時該測試機 200 閃控一偵測器，諸如偵測器 122，以取樣該門鎖比較器 210 之輸出。當該偵測器被致動，其數位狀態係被儲存於該記憶體 114 之 216 部分。因為該門鎖比較器 210 隨著該 LE 輸入之致動而無期限地保持其門鎖值，所以該 CAP 訊號 420 之精確定時並非重要的。然而，應該注意的是要確保該 CAP 訊號在相對應於取樣的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

LE 訊號之後(跟隨著一足夠延遲以允許建立時間)，而且在下一個 LE 訊號發出前要被發出。如圖 4a 中所示，該測試機跟隨著該 LE 訊號，在該 LE 訊號 418 之後的一短暫延遲後致動該 CAP 訊號 420。因此，當該 LE 訊號 418 之時序位置在連續的通行穿越 UTP 416 之際前進時，該 CAP 訊號之時序位置也被對應地前推。

圖 4b 係該 UTP 416 之以及圖 4a 之 LE 訊號 418 的一分解視圖，係顯示該 UTP 之三個連續位元區域。對照於圖 4a 之波形，該波形表示一組通行穿越該 UTP，圖 4b 則表示多組通行穿越該 UTP。在顯示於圖 4b 的間隔期間中，該 UTP 片斷 440 改變狀態兩次，一次在位置 442 而一次在位置 444。明顯地，這些狀態改變的位置不是發生在一固定而一致的時間瞬時，即使它們係被完全相同地產生用於全部之通行。該訊號交叉訊份的改變係主要導因於該 SerDes 元件的顫動。因為顫動，該訊號 440 之狀態的改變可能比平均位置發生得更早或更遲。

波形 446 表示橫跨多組通行穿越該 UTP 的 LE 訊號。如前面所指出，在連續的通行之際該 LE 訊號之發出係被該測試機的時序解析度的一個 LSB，或在 CatalystTM 測試機中的 9.76 ps 較佳地分開。

圖 4c 說明該 UTP 片斷 440 之一機率函數 450，在函數每一瞬間該 UTP 片斷係被取樣。在該函數 450 的部分 452 及 460 期間，該機率函數 450 一致地報告出一低的邏輯準位。相似地，在該部分 456 期間，該機率函數 450 一致地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

報告出一高的邏輯準位。然而，在轉態區 442 及 444 期間，該 UTP 片斷 440 之機率係以一時間函數變化。吾人已知若該 UTP 片斷 440 中之顫動係以一高斯形式分佈，該機率函數 450 在轉態區 442 以及 444 之期間將依循著近似 s 形的曲線(如區域 454 及 458 所示)。

該測試機經由分別平均由不同之 UTP 之取樣位置所獲得的數位值(1 以及 0)，並將該平均值變為一時間函數來決定該機率函數 450。在該較佳實施例中，該 UTP 係被取樣 128 次。因此，對於每個取樣位置有 128 個值被平均。一表示該量測結果的替代方法係以從 0 到各位置之取樣數量範圍(128)的數目來表示。一個全部是 1 的位置將產生一個 128 之數值。一個全部是 0 者將產生一個 0 之數值。這些熟知此技藝者能夠快速設計各種方法以表示該機率函數，而且該被使用的特定方法對於本發明並非重要的。

從圖 4c 中很明顯地可知道該 UTP 之許多時序特徵可由該機率函數 450 獲得。例如，該 SerDes 元件所產生的顫動可直接從該轉態區 454 以及 458 的寬度加以決定。上升及下降顫動間之不同處可以從各別的轉態區之寬度的不同而推得。如吾人所知，“眼閉”(eye closure)係串列資料流一個很重要的特徵。眼閉係被表示為該轉態區 442 以及 444 之間的一段時間，在此時間該訊號 440 被保證在一穩定狀態。圖 4c 中之 456 亦表示該段時間。如果該片斷 456 之寬度縮短至 0，該“眼”係被稱為“關閉”，而且在該 UTP 的此部分內被傳送的資料將無法被可靠地傳輸。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

“位元錯誤率”(BER)係串列資料流另一個很重要的特徵。該串列資料流之位元錯誤率係該資料流由於顫動而傳輸無效資料的頻率。在該顫動可被模式化為一高斯現象的範圍內，在離任一已知轉態區一隨機距離處，該機率函數 450 之 S 形區域 454 及 458 的尾部可被以數學方法外插以預測傳輸錯誤發生的機率。

“碼際干擾”係被定義為一串列資料流反應該串列資料流中先前被產生的邏輯準位所造成之一邊緣位置的重複改變。前面所描述的技巧亦可用以決定“碼際干擾”。熱力特徵、串音以及儲存之電荷為碼際干擾之因素。使用前面所描述的技巧，吾人可經由記錄對應前面資料(前面的 1 及 0)間之改變而在平均邊緣位置所造成之改變來量測碼際干擾。該 UTP 係被明確地設計來顯示符碼際干擾。因此，該錯誤通常可由該機率函數 450 直接加以決定。

以上所描述之技術亦可用以決定碼際干擾之頻譜成分。根據該技術之此項特性，該串列資料流中之平均邊緣位置被與理想的參考位置比較。介於該 UTP 中之每個邊緣的平均位置及理想邊緣位置之間的差異被描述成一時間函數，而且對該結果函數執行一快速傅立葉傳換(FFT)。該函數之頻譜是該測試中之獨特元件所特有的而且可用來診斷瑕疵。

程式化一測試機

以上所描述的方法概略地集中於一 SerDes 元件如何根據本發明被取樣以及被評估。圖 5 說明了本方法如何使用

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

訂

線

五、發明說明 (16)

一真實之元件測試機加以實現。

由步驟 510 開始，一測試工程師界定一向量頻率以在該必要之字組率下產生輸入資料字組至該 SerDes 元件。例如，要獲得一 2.5 G 位元的串列輸出位元率，該資料輸入訊號之字組率必須為 250 MSa/s，係該串列輸出訊號之位元率的十分之一。如果該測試機無法直接產生一如此高的向量頻率，就要考慮訊號產生的替代模式。各種訊號產生的替代模式已為熟悉此項技藝之人士所知悉而且包含有，例如，雙驅動模式以及多工模式。以雙驅動模式，一驅動器之輸出訊號的頻率經由在單一驅動器中有效組合該雙接腳電子通道之動作可被倍頻。以多工模式，該驅動器之最大頻率也可被倍頻，係藉由合成一測試機之單一輸出處之兩個不同驅動器的輸出。藉由同時使用雙驅動以及多工模式，一測試機所能產生的波形高至該最大向量率的 4 倍。

當使用該 Teradyne 公司所製的 CatalystTM 測試系統時，一 62.5 MHz 的向量頻率為最佳之選擇。雙驅動以及多工模式皆被用以產生該資料輸入至該 SerDes 元件。該 CatalystTM 測試系統因而提供了訊號至該變化於 250 MSa/s 的 SerDes 元件的資料輸入。不具多工模式的雙驅動模式係用以產生時脈訊號給該 SerDes 元件並用以產生該 LE 訊號給該門鎖比較器 210。因此這些訊號以一 125 MHz 的頻率改變。

在步驟 512，該向量周期係被調整以致於每一組通行穿越該 UTP 對應於整數個該測試機時序 LSB。如果要使所有介於該 LE 訊號持續發出之間的時序增量均勻，此步驟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

就是必要的。然而，如果該 LE 訊號之非均勻的間隔是可忍受的，則該步驟可被略過。該 SerDes 元件之串列輸出訊號之周期構成整數個測試機時序 LSB 係足以確保穿越該 UTP 之每一組通行構成整數個測試機時序 LSB。例如，2.5 GSa/s 的 SerDes 輸出率對應於 400 ps 的輸出周期，係形成 40.96 個 Catalyst™ 測試系統(1 LSB 等於 10 ns/1,024)中的測試機時序 LSB。為了確保穿越該 UTP 之每一組通行構成整數個測試機時序 LSB，該數目應該被四捨五入成最接近的整數(也就是 41)。反推回去，41 個測試機時序 LSB 對應於 400.390625 ps 的輸出周期，或 2.49756 GSa/s 的位元率。該位元率係非常接近(但不精確地等於)該想要的 SerDes 輸出位元率。因此，若想要均勻的取樣間隔，就可能必須忍受該 SerDes 輸出位元率有一輕微的誤差。然而，如同以上之數目推論，這些誤差是非常小的，並且被期望落於允許的誤差預算內。如果想要更佳的精確度，一 UTP 的整個間隔-而不是該單一位元的周期-可被四捨五入為該測試機時序 LSB 之最接近的整數數目。該四捨五入誤差將被一等於一 UTP 中之位元數目(使用先前所提供之數目 2,280 的一因子)之因子所減少。雖然將四捨五入誤差分散於該整個 UTP 上獲得更精確的結果，事實上它是比較不好的，因為其導致該 UTP 以及該取樣之位元改變了該 UTP 中之位元到位元的相對排列位置。當該 UTP 之每一位元包含整數個測試機時序 LSB，該 UTP 之所有位元都在相同的相對位置被樣。

在步驟 514，該測試工程師係界定用以經由該門鎖比

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (18)

較器 210 取樣該 SerDes 元件輸出的測試向量。應該注意的是該測試機有效取樣該 SerDes 輸出訊號的能力不會被該測試機的最大資料率所限制，因為該 UTP 可以被無限期地重複直到所有想要的時序位置都已經被取樣過。然而，在決定量測時間時，該測試機的資料率確實擔任一重要角色。為了最小化量測時間及最大化產出，應該使用最高的實際資料率。該 Catalyst™ 測試系統使用雙驅動模式以產生該 LE 訊號以及取樣該閂鎖比較器 210。我們已確定該多工模式在某些環境下可在鄰近的邊緣間產生時序歪斜。因為該 LE 訊號係特別對時間有臨界要求，所以多工模式最好不要用來產生該 LE 訊號。因此，具有一近似 62.5 MHz 的向量頻率，該 LE 訊號係以一近似 125 MHz 被發出。

在步驟 516，該測試工程師決定取樣該整個樣式所需要之穿越該 UTP 之通行的數目。若該 UTP 由 57 個使用雙驅動模式所取樣的測試向量所組成，則一組通行穿越該 UTP 係導致 114 個不同的取樣被取得。因為在一 UTP 中有 2,280 位元，每位元含有 41 個測試機時序 LSB(見步驟 512)，因此一個 UTP 含有總數 93,480 個測試機時序 LSB(2,280 位元乘以每位元 41 個 LSB)。將此總數除以每個 UTP 114 個取樣得到在該 UTP 中取樣每個點所需要的通行數目，或 820 組通行。因此，使用該被指示之值，該 UTP 應被重複 820 次以在每個時序位置獲得一取樣。

而且吾人已知，元件測試機通常提供一有限數目的時序組("TSETs")以產生數位連續訊號。每一 TSET 通常由一

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (C)

時脈周期、發出時間、以及一回復時間加以界定。由 TSET 所界定的一訊號邊緣通常發生在發出時間，而另一邊緣則發生在回復時間。因此，一 TSET 有效地界定一數位波形，該波形係具有一預定周期以及發生於預定的、可程式化之時間瞬時的高與低的數位狀態。經由改變一 TSET 之發出及回復時間，訊號邊緣可在對應於該測試向量的時間(也就是 T_0)內被移動。訊號邊緣也可藉由施加不同之 TSETs 被移動。在該較佳實施例中，TSETs 係被用以控制該 LE 訊號之時序，以及用以增量其時序以符合該 UTP 416 之不同部分。

最好是 TSETs 之一組用於一組通行穿越該 UTP。要完成 820 組通行穿越該 UTP，其中每個提供一不同的 LE 訊號時序位置，該 TSETs 必需被重新程式化或再使用 820 次。沒有任何已知之測試機提供 820 個不同之 TSETs。因此，要完成 820 組通行，TSETs 將需要再被使用。多少 TSETs 將再被使用，以及它們多常再被使用必須被決定。

在步驟 518，該測試程師決定該 TSETs 將被使用的數目。通常，當一程式在執行時，經由一預先程式化的 TSET 改變至另一個並不會產生任何時間問題。然而，要重新程式化 TSETs 至新值是需要相當時間的。因為該時間延長了測試時間而且減少了產出，TSETs 最好視實際情況儘量不要常常重新程式化。然而，該利害關係必須被與簡化測試機軟體之需求一起權衡輕重。我們已了解測試機軟體能夠經由使用一個可被通行穿越該 UTP 之數量(820)整除的

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (Y/C)

TSETs 數目加以大量簡化。我們已發現在 CatalystTM 測試機中介於最大化產出以及簡化測試機軟體之間的一個好的折衷係使用 20 個不同的 TSETs。

在步驟 520，該測試工程師決定在步驟 518 中所決定好的 TESTs 數目必須被重新程式化多少次。此數目等於該通行之數量(820)除以該不同的 TSETs 的數目(20)，或者係使用上面所指示之值而為 41 次。

為了決定該 SerDes 輸出訊號在每個時序位置的平均值，單一 TSET 係被以固定值程式化而且多組通行係被完成穿越該 UTP。例如，為了獲得該較佳之取樣數(128)，該用以發出該 LE 訊號的 TSET 係被重複 128 次。因此總數 104,960 組通行(820 組通行乘 128)被完成穿越該 UTP 以在每一點獲得該想要的取樣數目。因為每一組通行持續大約 912 ns(2,280 位元，每位元大約 400 ps)，要完成通行之全部數量大約需要 95.7 ms(104,960 乘 912 ns)。

在該 CatalystTM 測試機中，該被需求用以測試及評估一 UTP 的全部時間大約 500 ms。這不只包含取樣時間，也包含重新程式化 TSETs 的時間以及處理該被捕捉之資料的時間。在該較佳實施例中，該主電腦 110 藉由從該記憶體 114 之記憶體節段 216(該被捕捉之串列資料流的值係被儲存在此處)讀取偵測器值來處理該資料，並且對該被儲存之資料進行計算。

替代方法

經由描述過一實施例，許多種替代實施例或者變化可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A7)

被施行。例如，在上面的描述中該 Catalyst™ 測試機係用以實現該用於捕捉及評估串列資料的系統及過程。然而，這僅是一個舉例。各種廣泛變化的不同測試機可被使用，而且亦為熟悉此項技藝的人士所知曉。

此外，該用以測試串列資料流之系統及過程係參考 SerDes 元件被描述。然而，本發明也可被用以測試其他型式的電子元件。例如，本發明可被用以測試單獨(standalone)時脈回復電路，該電路目前被研發以具有與前述相當之資料率的串列輸出。

再者，從以上的描述中該測試中之元件的不同時序特徵(也就是顫動、眼閉、位元錯誤率、以及碼際干擾)可使用上述的普通方法學加以評估。

測試系統以及測試中元件之解析度、操作頻率、以及其他特徵的特定值係被發表在上面作為舉例說明之目的而不是要對所描述之本發明的範圍加以限制。例如，該測試系統不需要被操作於其時序解析度的限制。更確切的說，解析度可被變化至想要的值以適合該特別的測試問題。該解析度可以是整數個該測試機時序 LSB，或者跟該測試機時序 LSB 沒有數字相關的一隨機值。

再者，該測試者係執行上述之許多程序步驟的一行為者，也已被包含在內。然而，已知的趨勢係傾向於自動化，這些步驟不應被解釋為需要一測試工程師。那些熟悉此項技藝者將能迅速設計出自動化本文中指定給該測試工程師之工作的方法，並視為改進其製程之正常過程的一部分

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (✓)

因此，應該了解的是本發明可以各種不同的方法被實現，而且只被隨後的申請專利範圍及精神所限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

1. 一種用以測試產生一串列資料流的一測試中之元件(DUT)的方法，其係包含步驟有：

A) 在相對於該串列資料流的一固定時間位置重複地取樣該串列資料流；

B) 平均在步驟 A 所獲得的取樣以決定在該固定時間位置時該串列資料流的一機率函數；以及

C) 在相對於該串列資料流的一不同固定時間位置重複步驟 A 及 B，以得到該串列資料流對時間的一機率函數。

2. 如申請專利範圍第 1 項之方法，其進一步包含有：

D) 評估在步驟 C 中所得到的機率函數以決定該 DUT 之時序特徵。

3. 如申請專利範圍第 2 項之方法，其中該評估步驟包含決定該機率函數中之轉態區域的寬度，上述寬度表示在該串列資料流之位元轉態位置中的顫動。

4. 如申請專利範圍第 2 項之方法，其中該評估步驟包含決定該機率函數中之轉態區域的寬度，上述寬度表示該串列資料流之碼際干擾。

5. 如申請專利範圍第 2 項之方法，其中該評估步驟包含檢查該串列資料流中之碼際干擾的光譜成分。

6. 如申請專利範圍第 5 項之方法，其中檢查該碼際干擾之光譜成分的步驟包含有：

決定介於該串列資料流之每一位元轉態的位置以及各自之位元轉態的理想位置之間的一差別；

將全部之位元轉態的差別變成一時間函數；以及

裝
訂
線

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

對該差別函數進行一快速傅立葉轉換(FFT)。

7.如申請專利範圍第 6 項之方法，進一步包含對應該 FFT 之光譜成分判斷該 DUT 合格或不合格。

8.如申請專利範圍第 2 項之方法，其中該串列資料流係被界定用以測試 SerDes 元件的一單元測試樣式(UTP)。

9.如申請專利範圍第 1 項之方法，其係被一執行測試程式的元件測試機所執行。

10.如申請專利範圍第 9 項之方法，其中該取樣步驟包含該元件測試機致動一閂鎖裝置以獲得該串列資料流之狀態。

11.如申請專利範圍第 10 項之方法，其中該 DUT 轉換平行字組成爲串列位元流，並且進一步包含該測試機施加複數個輸入訊號至該 DUT 以導致該 DUT 產生該串列資料流。

12.一種程式化一測試機以捕捉來自一 SerDes 元件之輸出的一串列資料流之方法，其包含有：

A)決定一向量周期以用於在一想要之字組率之下施加輸入資料至該 SerDes 元件；

B)計算該串列資料流必須被重複以使用步驟 A 所決定的向量周期取樣該串列資料流之每個想要位置的次數(P)；

C)決定用以取樣該串列資料流之全部想要位置的測試機時序組(TSETs)的整數數目(N)，其中 P 係可被 N 整除；

D)決定上述之 N 組 TSETs 將再被使用以取樣該串列資料流的次數(M)，其中 M 等於 P 除以 N；以及

六、申請專利範圍

E)以該向量周期、測試向量、TSETs 之數目、以及該 TSETs 再被使用的次數程式化該測試機。

13.如申請專利範圍第 12 項之方法，其進一步包含調整該決定於步驟 A 的向量周期以使該串列資料流之每一位元持續整數個測試機時序 LSB。

14.如申請專利範圍第 12 項之方法，其中該測試機具有一最大之資料率，而且程式化該測試機的步驟 E 包含至少應用一替代的訊號產生技術以產生比該測試機之最大資料率更快的測試訊號。

15.如申請專利範圍第 12 項之方法，其進一步包含界定用以取樣來自該 SerDes 元件之輸出的串列資料流的測試向量。

16.一種用以在一自動測試系統中測試一串列輸出訊號的測試中之元件(DUT)的裝置，其係包含有：

複數個驅動器電路，前述之複數個驅動器電路的一部分係被耦合至該 DUT 以激勵該 DUT 以產生一串列輸出訊號；

一門鎖元件，其係具有一訊號輸入係被耦合至該 DUT 之輸出以接收該串列輸出訊號、一致能輸入係被耦合至該複數個驅動器電路的某一個以致動該門鎖元件、以及一輸出係被耦合至一記憶體以儲存在該門鎖元件之輸出處被提供的數位值；

一時序產生器用以導致該驅動器電路被耦合至該門鎖元件的致能輸入，以在相對於該串列輸出訊號的預定時間

(請先閱讀背面之注意事項再填寫本頁)

表

線

六、申請專利範圍

瞬時致動該致能輸入；以及
用以由該被儲存之數值決定該串列輸出訊號之一機率
函數的機構。

17.如申請專利範圍第 16 項之裝置，其中該門鎖元件
包含一比較器，其係具有至少一輸入被耦合至該 DUT 之輸
出以及一輸入被耦合至一門鎖電路。

18.如申請專利範圍第 16 項之裝置，其中該門鎖元件
係一門鎖比較器。

19.如申請專利範圍第 16 項之裝置，其中該 DUT 為一
SerDes 元件係接收平行格式的輸入字組並產生串列格式的
輸出位元。

20.如申請專利範圍第 16 項之裝置，其中該用以決定
該機率的機構係包含執行一測試程式的一主電腦。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

1/4

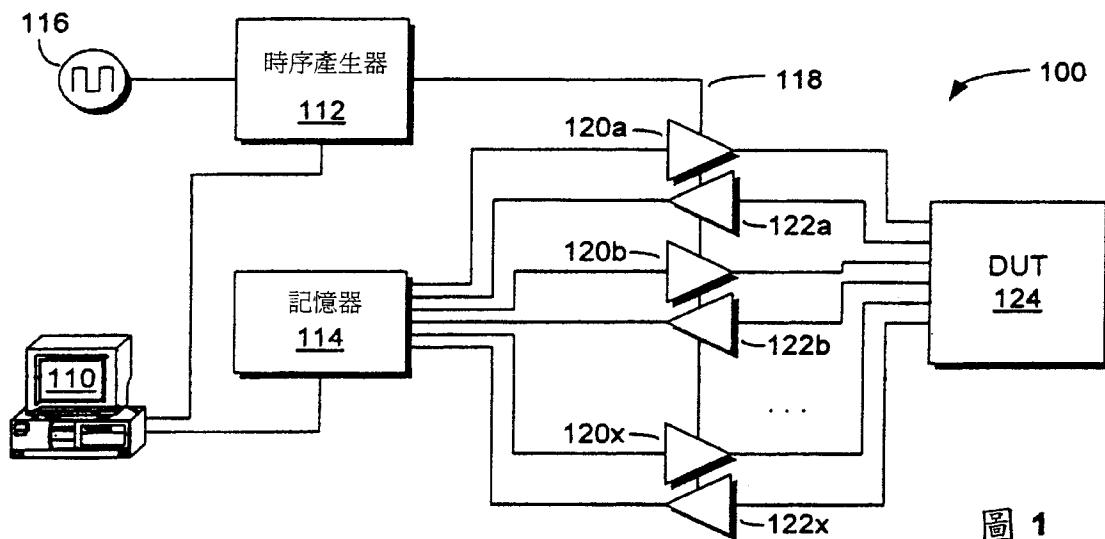


圖 1

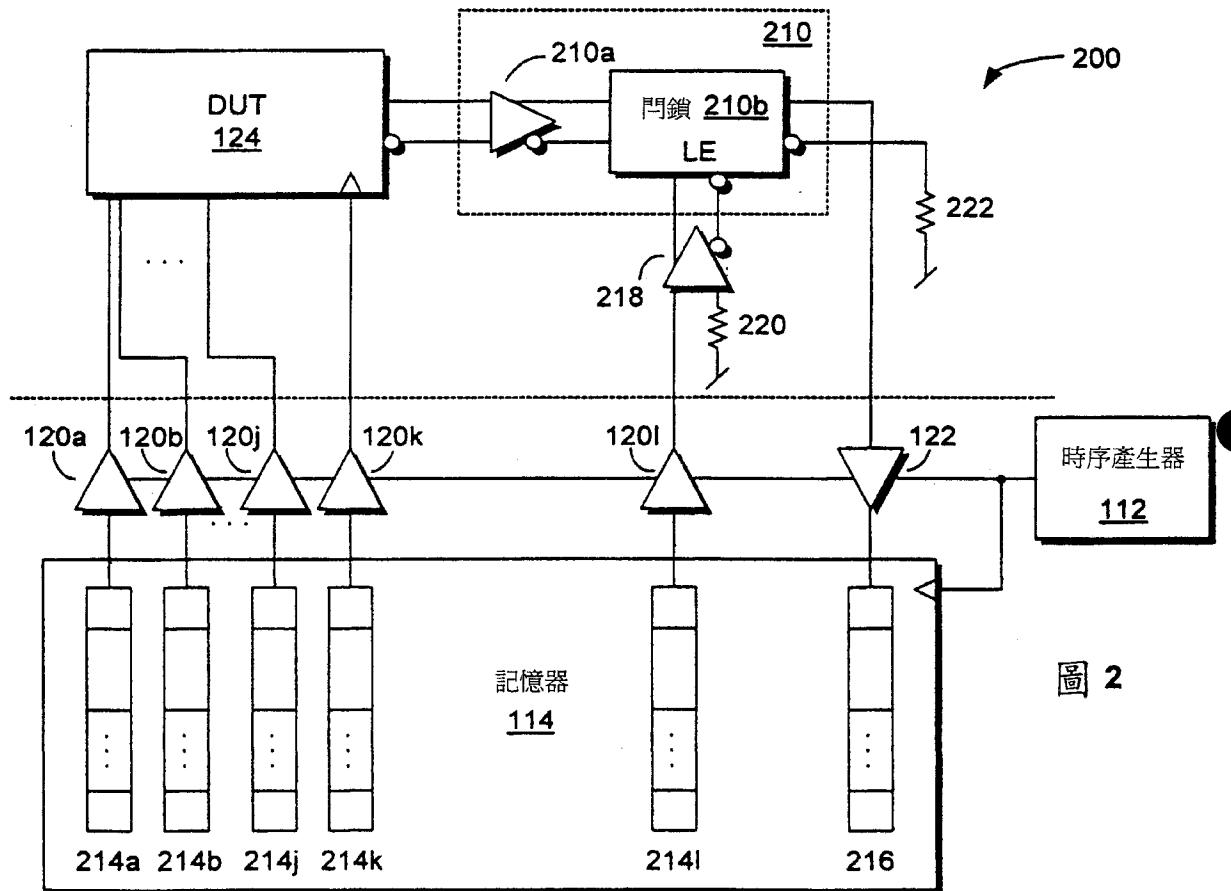
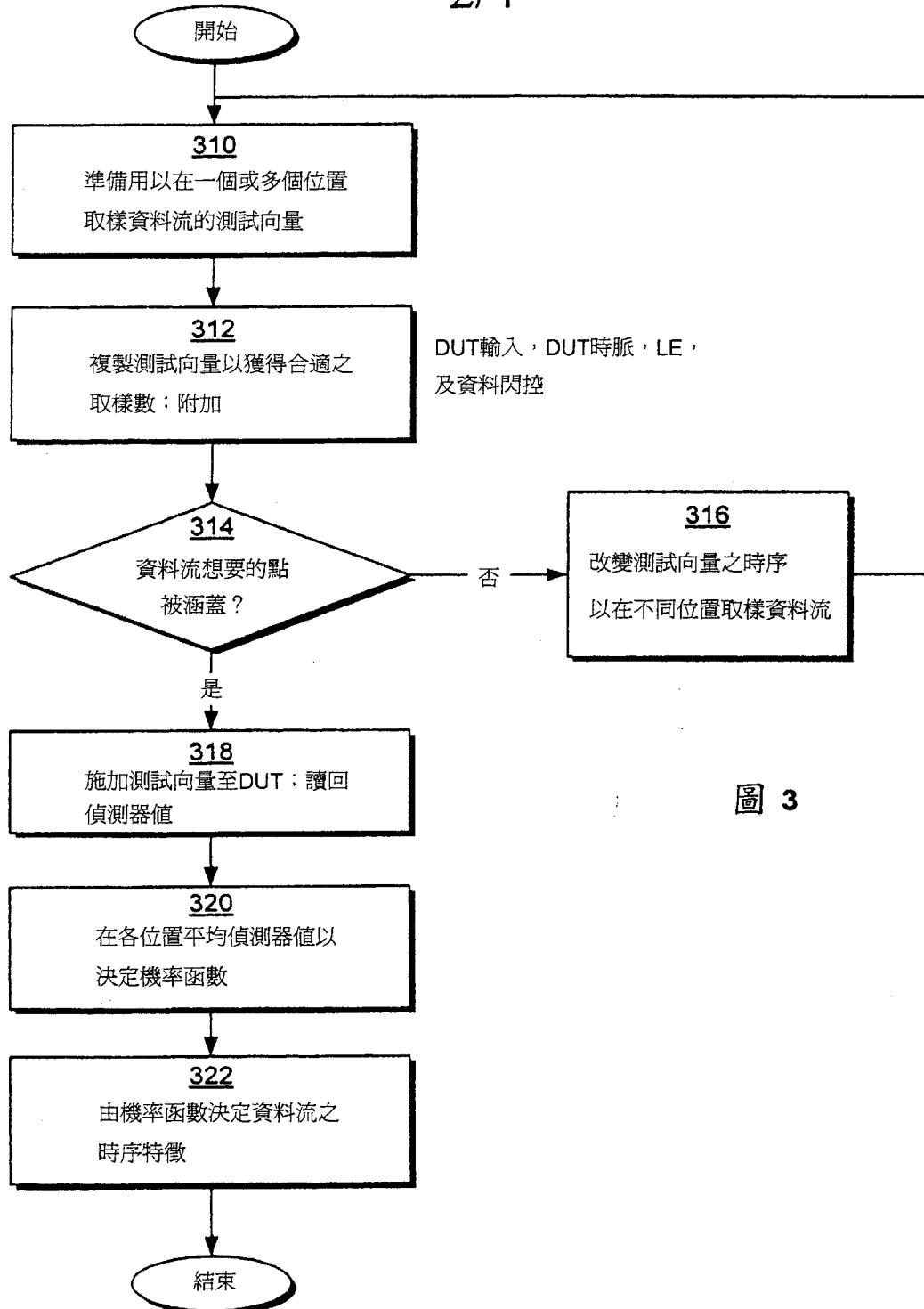
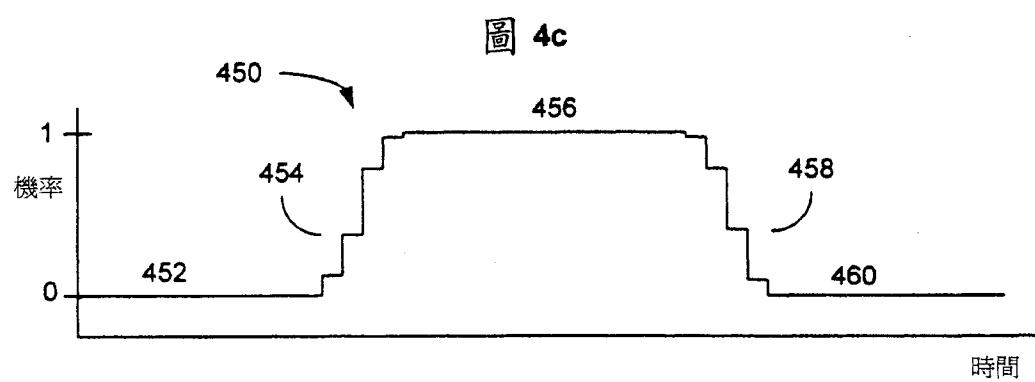
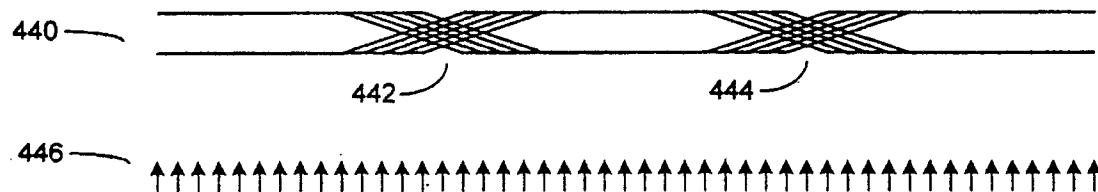
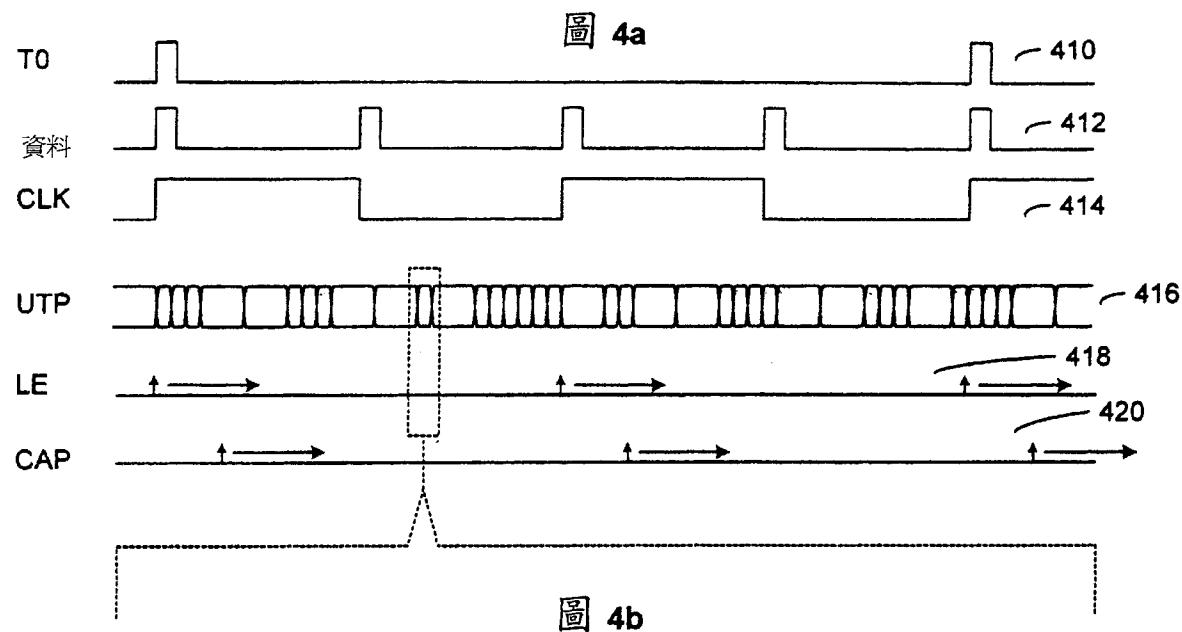


圖 2



3/4



4/4

圖 5

